

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-285429

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H04N 5/14

(21)Application number : 09-083468

(71)Applicant : SONY CORP

(22)Date of filing : 02.04.1997

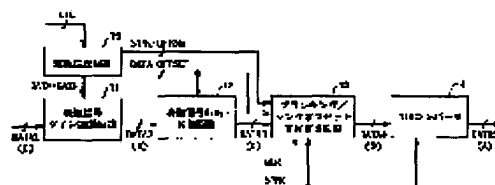
(72)Inventor : NAKAJIMA TAKAYUKI

(54) VIDEO SIGNAL PROCESSING CIRCUIT AND CAMERA USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance gradation expression by effectively utilizing a dynamic range of a D/A converter and to arbitrarily set a ratio of level of a video signal to a synchronization signal.

SOLUTION: In this processing circuit, a video signal offset addition circuit 12 adds an offset selectively with respect to an input digital video signal. A blanking/SYNC offset replacement circuit 13 provides an output of a digital video signal 13 with no offset added thereto as it is in the normal mode, replaces a level of the digital video signal 13 with not offset added thereto for the synchronization signal period with a prescribed offset level in the SYNC level reduction mode, and replaces the level of the digital video signal 13 with an offset added thereto for the synchronization signal period with a level '0'. Then a D/A converter 14 adds a synchronization signal to the video signal for the synchronization signal period and converts the resulting signal into an analog signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-285429

(43)公開日 平成10年(1998)10月23日

(51) Int.Cl.⁶

H0 4 N 5/14

識別記号

FI

H04N 5/14

$$\mathcal{Z}$$

審査請求 未請求 請求項の数10 OL (全 11 頁)

(21)出願番号 特願平9-83468

(22)出願日 平成9年(1997)4月2日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中島 隆行

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

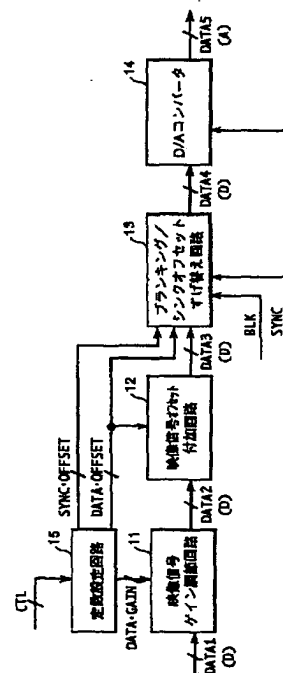
(74)代理人 弁理士 船橋 國則

(54) 【発明の名称】 映像信号処理回路およびこれを用いたカメラ

(57) 【要約】

【課題】 同期信号レベルが固定である同期信号付加機能付D/Aコンバータの場合には、アナログ映像信号の最大値と標準レベルは固定となり、映像信号と同期信号のレベル比を任意に設定することができなかった。

【解決手段】 入力デジタル映像信号に対して映像信号オフセット付加回路12で選択的にオフセットを付加するようにし、ブランキング／シンクオフセットすげ替え回路13において、ノーマルモードではオフセットが付加されていないデジタル映像信号をそのまま出力し、シンクレベル減少モードではオフセットが付加されていないデジタル映像信号の同期信号期間のレベルを所定のオフセットレベルにすげ替え、シンクレベル拡大モードではオフセットが付加されているデジタル映像信号の同期信号期間のレベルを信号レベル0にすげ替え、しかる後D/Aコンバータ14で同期信号期間に同期信号を付加し、アナログ化する。



本発明の一実施形態を示すブロック図

【特許請求の範囲】

【請求項1】 入力デジタル映像信号に対してオフセットを付加するオフセット付加手段と、
前記オフセット付加手段から供給されるデジタル映像信号の同期信号期間のレベルを所定の基準レベルにすげ替えるすげ替え手段と、

前記すげ替え手段から供給されるデジタル映像信号の同期信号期間に同期信号を付加しかつアナログ化して出力するD/A変換手段とを備えたことを特徴とする映像信号処理回路。

【請求項2】 前記オフセット付加手段により付加されるオフセット量が可変であることを特徴とする請求項1記載の映像信号処理回路。

【請求項3】 前記入力デジタル映像信号を圧縮して前記オフセット付加手段に供給するゲイン調節手段を備えたことを特徴とする請求項1記載の映像信号処理回路。

【請求項4】 前記ゲイン調節手段により圧縮される圧縮量が可変であることを特徴とする請求項3記載の映像信号処理回路。

【請求項5】 第1、第2の動作モードでは入力デジタル映像信号をそのまま出力し、第3の動作モードでは入力デジタル映像信号に対してオフセットを付加して出力するオフセット付加手段と、

前記第1の動作モードでは前記オフセット付加手段から供給されるデジタル映像信号をそのまま出力し、前記第2の動作モードでは前記オフセット付加手段から供給されるデジタル映像信号の同期信号期間のレベルを所定のオフセットレベルにすげ替え、前記第3の動作モードでは前記オフセット付加手段から供給されるデジタル映像信号の同期信号期間のレベルを所定の基準レベルにすげ替えるすげ替え手段と、

前記すげ替え手段から供給されるデジタル映像信号の同期信号期間に同期信号を付加しかつアナログ化して出力するD/A変換手段とを備えたことを特徴とする映像信号処理回路。

【請求項6】 前記オフセット付加手段により付加されるオフセット量が可変であることを特徴とする請求項5記載の映像信号処理回路。

【請求項7】 前記入力デジタル映像信号を圧縮して前記オフセット付加手段に供給するゲイン調節手段を備えたことを特徴とする請求項5記載の映像信号処理回路。

【請求項8】 前記ゲイン調節手段により圧縮される圧縮量が可変であることを特徴とする請求項7記載の映像信号処理回路。

【請求項9】 入射光を電気信号に変換して出力する撮像素子と、
前記撮像素子の撮像面上に被写体からの入射光を導く光学系と、
前記撮像素子から出力されるアナログ映像信号をデジタル化するA/D変換手段と、

第1、第2の動作モードでは前記A/D変換手段から供給されるデジタル映像信号をそのまま出力し、第3の動作モードでは前記A/D変換手段から供給されるデジタル映像信号に対してオフセットを付加して出力するオフセット付加手段と、

前記第1の動作モードでは前記オフセット付加手段から供給されるデジタル映像信号をそのまま出力し、前記第2の動作モードでは前記オフセット付加手段から供給されるデジタル映像信号の同期信号期間のレベルを所定のオフセットレベルにすげ替え、前記第3の動作モードでは前記オフセット付加手段から供給されるデジタル映像信号の同期信号期間のレベルを所定の基準レベルにすげ替えるすげ替え手段と、

前記すげ替え手段から出力されるデジタル映像信号の同期信号期間に同期信号を付加しかつアナログ化して出力するD/A変換手段とを備えたことを特徴とするカメラ。

【請求項10】 前記A/D変換手段から供給されるデジタル映像信号を圧縮して前記オフセット付加手段に供給するゲイン調節手段を備えたことを特徴とする請求項9記載の映像信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像信号処理回路およびこれを用いたカメラに関し、特にデジタル映像信号に対して同期信号を付加するとともに、アナログ化処理を行うための映像信号処理回路およびこれを信号処理系に用いたカメラに関する。

【0002】

【従来の技術】ビデオカメラ等のカメラシステムにおいては、撮像デバイスである例えばCCD撮像素子から出力される映像信号がアナログ信号であることから、一般的に、このアナログ映像信号を一旦デジタル化し、このデジタル映像信号に対して各種の信号処理をデジタル的に行った後再度アナログ化している。このアナログ映像信号を出力するに当たっては、NTSC方式やPAL方式等のテレビジョン方式に準拠したモニターでのモニタリングなどを可能とするために、同期信号を含むアナログ映像信号を出力する必要がある。

【0003】従来、デジタル映像信号に対して同期信号を付加するとともに、アナログ化処理を行う映像信号処理回路として、図8に示す構成のものが知られている。この従来例に係る映像信号処理回路は、デジタル映像信号に対してオフセット値を加算するための加算器101と、この加算器101の出力信号および接地（グランド）レベルを2入力とし、そのいずれか一方を選択するセクタ102と、このセクタ102の出力信号をデジタル化する例えば8ビットのD/Aコンバータ103とから構成されている。

【0004】加算器101は、入力されるデジタル映像

信号に対して同期信号成分に対応したオフセット値を加算してセレクト102に出力する。セレクト102は、通常はオフセット値が加算されたデジタル映像信号を選択し、同期信号SYNCのタイミング周期でそのパルス期間に接地レベルを選択する。このセレクト102の選択動作により、オフセット値が加算されたデジタル映像信号に対して同期信号が付加されることになる。

【0005】D/Aコンバータ103は、入力されるデジタル映像信号に対応した電流を出力する電流出力型の回路構成となっている。そして、このD/Aコンバータ103から出力された電流は、D/Aコンバータ103の出力端とグランド間に接続された抵抗RLで電圧に変換され、入力される映像信号データに応じたレベルのアナログ映像信号となる。したがって、D/Aコンバータ103に例えば8ビットの映像信号データを入力すれば、この映像信号データに応じた256階調のアナログ映像信号を得ることができる。

【0006】すなわち、上記構成の従来の映像信号処理回路において、D/Aコンバータ103には、映像信号データに同期信号が付加された8ビットの映像信号データを入力するため、図9(a)に示すように、階調レベルが0~191のデジタル値とされる映像信号データが前段ブロック(図示せず)から加算器101に入力される。この加算器101では、同期信号成分に対応した例えば「64」のオフセット値が、同期信号が付加された映像信号データに加算されることにより、同図(b)に示すように、64~255のレベルに対して映像信号データが割り当てられたデジタルデータとしてセレクト102に供給される。

【0007】そして、セレクト102を同期信号SYNCのタイミング周期で切り換え制御することにより、同図(c)に示すように、デジタルデータの0~64のデジタル値に同期信号が付加された映像信号データがD/Aコンバータ103に入力され、このD/Aコンバータ103でその映像信号データに応じた電流に変換される。この電流は、抵抗RLによって電圧に変換され、同図(d)に示すように、映像信号と同期信号のレベル比が3:1となるアナログ映像信号となる。

【0008】

【発明が解決しようとする課題】しかしながら、上述した従来例に係る映像信号処理回路では、D/Aコンバータ103に入力される同期信号が付加された映像信号データが、8ビットのデータであるにもかかわらず映像信号データに割り当てられているデジタル値が64~255となるため、8ビットD/Aコンバータ103の持つダイナミックレンジ(0~255)の全体を映像信号データに利用することができない。

【0009】このため、8ビットD/Aコンバータ103から出力されるアナログ映像信号の階調表現が、D/Aコンバータ103のダイナミックレンジ全体を利用し

た場合と比べると粗くなり、画質が低下するという問題点があった。しかも、付加される同期信号のレベルが一定であるため、D/Aコンバータ103から出力されるアナログ映像信号の最大値と標準レベルは固定となり、映像信号と同期信号のレベル比を任意に設定することができない。

【0010】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、D/Aコンバータのダイナミックレンジを有効に利用して階調表現を向上できるとともに、映像信号と同期信号のレベル比を任意に設定可能な映像信号処理回路およびこれを用いたカメラを提供することにある。

【0011】

【課題を解決するための手段】本発明による映像信号処理回路は、入力デジタル映像信号に対してオフセットを付加するオフセット付加手段と、このオフセット付加手段から供給されるデジタル映像信号の同期信号期間のレベルを所定の基準レベルにすぐ替えるすぐ替え手段と、このすぐ替え手段から供給されるデジタル映像信号の同期信号期間に同期信号を付加しかつアナログ化して出力するD/A変換手段とを備えた構成となっている。

【0012】上記構成の映像信号処理回路において、オフセット付加手段は、入力デジタル映像信号に対してオフセットを付加することで、当該映像信号のベデスタルレベルを持ち上げる。このベデスタルレベルを持ち上げられたデジタル映像信号の同期信号期間のレベルを、すぐ替え手段によって所定の基準レベル、即ち信号レベル0にすぐ替えてD/A変換手段に供給する。そして、このD/A変換手段において、信号レベル0の同期信号期間に同期信号を付加した後、アナログ化する。これにより、付加された同期信号のレベルは、ベデスタルレベルを持ち上げられた分だけ大きくなる。

【0013】本発明による他の映像信号処理回路は、第1、第2の動作モードでは入力デジタル映像信号をそのまま出力し、第3の動作モードでは入力デジタル映像信号に対してオフセットを付加して出力するオフセット付加手段と、第1の動作モードではオフセットが付加されていないデジタル映像信号をそのまま出力し、第2の動作モードではオフセットが付加されていないデジタル映像信号の同期信号期間のレベルを所定のオフセットレベルにすぐ替え、第3の動作モードではオフセットが付加されているデジタル映像信号の同期信号期間のレベルを所定の基準レベルにすぐ替えるすぐ替え手段と、このすぐ替え手段から出力されるデジタル映像信号の同期信号期間に同期信号を付加しかつアナログ化して出力するD/A変換手段とを備えた構成となっている。

【0014】上記構成の他の映像信号処理回路において、オフセット付加手段は、入力デジタル映像信号に対して第1、第2の動作モードではオフセットしないが、第3の動作モードではオフセットを付加することで、当

該映像信号のペデスタルレベルを持ち上げる。そして、第1の動作モードでは、オフセットが付加されていないデジタル映像信号をすげ替え手段を介してそのままD/A変換手段に供給し、このD/A変換手段において、デジタル映像信号の同期信号期間に一定レベルの同期信号を付加した後、アナログ化する。

【0015】第2の動作モードでは、オフセットが付加されていないデジタル映像信号の同期信号期間のレベルをすげ替え手段によって所定のオフセットレベルにすげ替えてD/A変換手段に供給する。そして、このD/A変換手段において、所定のオフセットレベルの同期信号期間に一定レベルの同期信号を付加した後、アナログ化する。これにより、付加された同期信号のレベルは、所定のオフセットレベルが付加された分だけ小さくなる。

【0016】一方、第3の動作モードでは、オフセットが付加されているデジタル映像信号の同期信号期間のレベルをすげ替え手段によって所定の基準レベル、即ち信号レベル0にすげ替えてD/A変換手段に供給する。そして、このD/A変換手段において、この信号レベル0の同期信号期間に同期信号を付加した後、アナログ化する。これにより、付加された同期信号のレベルは、ペデスタルレベルが持ち上げられた分だけ大きくなる。

【0017】本発明によるカメラは、上記構成の他の映像信号処理回路を信号処理系に用いたものである。そして、第2又は第3の動作モードを適宜設定することにより、第1の動作モードでの映像信号レベルと同期信号レベルのレベル比に対して、そのレベル比が小さく/又は大きく設定されたアナログ映像信号を得る。

【0018】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しつつ詳細に説明する。図1は、本発明の一実施形態を示すブロック図である。本実施形態に係る映像信号処理回路は、図1から明らかなように、映像信号ゲイン調節回路11、映像信号オフセット付加回路12、ブランキング/シンクオフセットすげ替え回路13、D/Aコンバータ14および定数設定回路15から構成されている。

【0019】映像信号ゲイン調節回路11は、入力される映像信号データDATA1に対して定数設定回路15から与えられるデータゲインDATA・GAINに応じたゲインにてゲイン調節を行い、映像信号データDATA2として映像信号オフセット付加回路12に供給する。映像信号オフセット付加回路12は、入力される映像信号データDATA2に対して定数設定回路15から与えられるデータオフセットDATA・OFFSETに応じたオフセット値を選択的に付加することでペデスタルレベルを持ち上げ、映像信号データDATA3としてブランキング/シンクオフセットすげ替え回路13に供給する。

【0020】ブランキング/シンクオフセットすげ替え回路13は、映像信号オフセット付加回路12から供給

される映像信号データDATA3と、定数設定回路15から与えられるシンクオフセットSYNC・OFFSETおよびデータオフセットDATA・OFFSETを3入力とし、外部から与えられるブランキング信号BLKおよび同期信号SYNCの論理に基づいて3入力のうちのいずれか1つを選択して映像信号データDATA4としてD/Aコンバータ14に供給する。

【0021】ブランキング/シンクオフセットすげ替え回路13は、一例として、図2に示すように、映像信号データDATA3、シンクオフセットSYNC・OFFSETおよびデータオフセットDATA・OFFSETを3入力とするセクタ21と、ブランキング信号BLKおよび同期信号SYNCの論理に基づいてセクタ21の切り換え制御を行う切り換え制御回路22とから構成されている。

【0022】このブランキング/シンクオフセットすげ替え回路13において、切り換え制御回路22は、ブランキング信号BLKおよび同期信号SYNCが共に論理“1”（高レベル）のとき映像信号データDATA3を、ブランキング信号BLKが論理“0”（低レベル）でかつ同期信号SYNCが論理“1”のときデータオフセットDATA・OFFSETを、ブランキング信号BLKおよび同期信号SYNCが共に論理“0”のときシンクオフセットSYNC・OFFSETをそれぞれ選択するように、セクタ21の切り換え制御を行う。

【0023】D/Aコンバータ14は、入力される映像信号データDATA4に対して、外部から与えられる同期信号SYNCに同期して同期信号データを付加する機能を持っている。すなわち、図3(a)に示すような例えばフルスケール「0～255」の8ビットの映像信号データD7～D0が入力されると、図3(b)に示すような同期信号が付加されたアナログ映像信号DATA5を出力する。このD/Aコンバータ14の具体的な回路構成およびその回路動作については後述する。

【0024】定数設定回路15には、外部からコントロール信号CTLが与えられる。この定数設定回路15は、コントロール信号CTLによる制御によって3つの定数、即ちデータゲインDATA・GAIN、シンクオフセットSYNC・OFFSETおよびデータオフセットDATA・OFFSETを任意に設定する。すなわち、データゲインDATA・GAIN、シンクオフセットSYNC・OFFSETおよびデータオフセットDATA・OFFSETの各値は、任意の値に変更可能となっている。

【0025】次に、上記構成の本実施形態に係る映像信号処理回路の回路動作について、ノーマルモード/シンクレベル減少モード/シンクレベル拡大モードの各モード別に説明する。ここに、シンクレベル減少モードとは、映像信号に対する同期信号のレベル比をノーマルモードの場合よりも小さく設定するモードであり、シンクレベル拡大モードとは、映像信号に対する同期信号のレベル比をノーマルモードの場合よりも大きく設定するモードである。

【0026】まず、ノーマルモードでの動作について、図4(a)の波形図を用いて説明する。この波形図において、標準レベルSTD1は、D/Aコンバータ14で付加される同期信号レベルに対応する標準レベルである。このノーマルモードを指定するコントロール信号CTLが定数設定回路15に与えられると、定数設定回路15はデータゲインDATA・GAIN、シンクオフセットSYNC・OFFSETおよびデータオフセットDATA・OFFSETの各定数を、DATA・GAIN=1, SYNC・OFFSET=0, DATA・OFFSET=0に設定する。

【0027】すると、映像信号ゲイン調整回路11に入力された映像信号データDATA1は、DATA・GAIN=1であることから、同レベルの映像信号DATA2として映像信号ゲイン調整回路11から出力され、映像信号オフセット付加回路12に入力される。映像信号オフセット付加回路12では、DATA・OFFSET=0であることから、映像信号に対するオフセットの付加は行われず、したがって入力された映像信号データDATA2はそのまま映像信号データDATA3としてブランキング/シンクオフセットすげ替え回路13に供給される。

【0028】ブランキング/シンクオフセットすげ替え回路13では、ブランキング信号BLKおよび同期信号SYNCが共に論理“1”のとき映像信号データDATA3が、ブランキング信号BLKが論理“0”でかつ同期信号SYNCが論理“1”のときデータオフセットDATA・OFFSETが、ブランキング信号BLKおよび同期信号SYNCが共に論理“0”のときシンクオフセットSYNC・OFFSETがそれぞれ選択される。これにより、SYNC・OFFSET=0, DATA・OFFSET=0であることから、ブランキング/シンクオフセットすげ替え回路13からはブランキング期間が0レベルの映像信号データDATA4が出力される。

【0029】そして、この映像信号データDATA4がD/Aコンバータ14に入力され、同期信号の付加およびアナログ化の処理が行われることで、同期信号が付加されたアナログ映像信号DATA5が出力される。このとき付加される同期信号レベルDS1は固定である。また、映像信号レベルをDD1とすると、映像信号レベル：同期信号レベル=DD1：DS1となる。

【0030】続いて、シンクレベル減少モードでの動作について、図4(b)の波形図を用いて説明する。このシンクレベル減少モードは、標準レベルSTD2が標準レベルSTD1よりも小さい場合に設定される。このシンクレベル減少モードを指定するコントロール信号CTLが定数設定回路15に与えられると、定数設定回路15はデータゲインDATA・GAIN、シンクオフセットSYNC・OFFSETおよびデータオフセットDATA・OFFSETの各定数を、DATA・GAIN=1, SYNC・OFFSET=KSO, DATA・OFFSET=0に設定する。

【0031】すると、映像信号ゲイン調整回路11に入力された映像信号データDATA1は、DATA・GAIN=1であ

ることから、同レベルの映像信号DATA2として映像信号ゲイン調整回路11から出力され、映像信号オフセット付加回路12に入力される。映像信号オフセット付加回路12では、DATA・OFFSET=0であることから、映像信号に対するオフセットの付加は行われず、したがって入力された映像信号データDATA2はそのまま映像信号データDATA3としてブランキング/シンクオフセットすげ替え回路13に供給する。

【0032】ブランキング/シンクオフセットすげ替え回路13では、ブランキング信号BLKおよび同期信号SYNCが共に論理“1”のとき映像信号データDATA3が、ブランキング信号BLKが論理“0”でかつ同期信号SYNCが論理“1”のときデータオフセットDATA・OFFSETが、ブランキング信号BLKおよび同期信号SYNCが共に論理“0”のときシンクオフセットSYNC・OFFSETがそれぞれ選択され、SYNC・OFFSET=KSO, DATA・OFFSET=0であることから、ブランキング/シンクオフセットすげ替え回路13からは同期信号SYNCのパルス期間(ブランキング信号BLK、同期信号SYNCが共に論理“0”)でSYNC・OFFSET=KSOに相当するレベルだけオフセットが付加された映像信号データDATA4が出力される。

【0033】そして、この映像信号データDATA4がD/Aコンバータ14に入力され、同期信号の付加およびアナログ化の処理が行われることで、同期信号が付加されたアナログ映像信号DATA5が出力される。このときの同期信号レベルDS2は、DS2=DS1-KSOとなる。また、映像信号レベルをDD2(=DD1)とすると、映像信号レベル：同期信号レベル=DD2：DS2となる。すなわち、ノーマルモードの場合よりも映像信号に対する同期信号のレベル比が小さくなる。

【0034】続いて、シンクレベル拡大モードでの動作について、図4(c)の波形図を用いて説明する。このシンクレベル拡大モードは、標準レベルSTD3が標準レベルSTD1よりも大きい場合に設定される。このシンクレベル拡大モードを指定するコントロール信号CTLが定数設定回路15に与えられると、定数設定回路15はデータゲインDATA・GAIN、シンクオフセットSYNC・OFFSETおよびデータオフセットDATA・OFFSETの各定数を、DATA・GAIN=1, SYNC・OFFSET=0, DATA・OFFSET=KDOに設定する。

【0035】すると、映像信号ゲイン調整回路11に入力された映像信号データDATA1は、DATA・GAIN=1であることから、同レベルの映像信号DATA2として映像信号ゲイン調整回路11から出力され、映像信号オフセット付加回路12に入力される。映像信号オフセット付加回路12は、DATA・OFFSET=KDOであることから、映像信号に対してDATA・OFFSET=KDOに相当するレベルだけオフセットを付加することによってベデスタルレベルを持ち上げ、映像信号データDATA3としてブランキング/シンクオフセットすげ替え回路13に供給する。

【0036】ブランキング／シンクオフセットすげ替え回路13では、ブランキング信号BLK および同期信号SYNCが共に論理“1”のとき映像信号データDATA3 が、ブランキング信号BLK が論理“0”でかつ同期信号SYNCが論理“1”のときデータオフセットDATA・OFFSETが、ブランキング信号BLK および同期信号SYNCが共に論理

“0”のときシンクオフセットSYNC・OFFSETがそれぞれ選択され、SYNC・OFFSET=0, DATA・OFFSET=KDO であることから、ブランキング／シンクオフセットすげ替え回路13からは同期信号SYNCのパルス期間（ブランキング信号BLK、同期信号SYNCが共に論理“0”）のみが0レベルで、それ以外はDATA・OFFSET=KDO に相当するレベルだけオフセットが付加された映像信号データDATA4 が出力される。

【0037】そして、この映像信号データDATA4 がD/Aコンバータ14に入力され、同期信号の付加およびアナログ化の処理が行われることで、同期信号が付加されたアナログ映像信号DATA5 が出力される。このときの同期信号レベルDS3 は、 $DS3 = DS1 + KDO$ となる。また、映像信号レベルをDD3 (= $DD1 - KDO$) とすると、映像信号レベル：同期信号レベル = DD3 : DS3 となる。

【0038】すなわち、ノーマルモードの場合よりも映像信号に対する同期信号のレベル比が大きくなる。また、映像信号オフセット付加回路12において、映像信号データDATA2 に対してDATA・OFFSET=KDO に相当するレベルだけオフセット（加算）したことにより、D/Aコンバータ14の入力ダイナミックレンジを超える場合は、オーバーフローリミットされる。

【0039】このシンクレベル拡大モードでは、映像信号の最大値付近が映像信号オフセット付加回路12のオーバーフローリミットにより、D/Aコンバータ14の入力ダイナミックレンジに合わせて制限されているが、映像信号の最大値付近を映像情報として出力する必要がある場合は、映像信号ゲイン調節回路11において、映像信号のゲイン調節を行うことによってこれを回避できる。以下、映像信号ゲイン調節回路11におけるゲイン調節の動作について、図5の波形図を用いて説明する。

【0040】図5(a)の波形図は、ゲイン調節を行わない場合の波形図であり、DATA・GAIN=1の場合、即ち図4(c)の波形図に相当する。この波形図から明らかなように、シンクレベル拡大モードにおいて、ゲイン調節を行わない場合には、映像信号オフセット付加回路12によって映像信号の最大値付近がリミットされていることがわかる。

【0041】これに対し、シンクレベル拡大モードにおいて、映像信号の最大値付近を映像情報として出力する必要がある場合には、その旨を示すコントロール信号CTL を定数設定回路15に与えることにより、定数設定回路15はデータゲインDATA・GAIN、シンクオフセットSYNC・OFFSETおよびデータオフセットDATA・OFFSETの各定

数を、DATA・GAIN=KDG (KDG<1), SYNC・OFFSET=0, DATA・OFFSET=KDO に設定する。

【0042】すると、映像信号ゲイン調整回路11に入力された映像信号データDATA1 は、DATA・GAIN=KDG (KDG<1) であることから、 $STD3 \times KDG$ に圧縮された映像信号DATA2 として映像信号ゲイン調整回路11から出力され、映像信号オフセット付加回路12に入力される。映像信号オフセット付加回路12は、DATA・OFFSET=KDO であることから、映像信号に対してDATA・OFFSET=KDO に相当するレベルだけオフセットを付加し、映像信号データDATA3 としてブランキング／シンクオフセットすげ替え回路13に供給する。

【0043】以下、ブランキング／シンクオフセットすげ替え回路13およびD/Aコンバータ14では、先述したシンクレベル拡大モードの場合と同様の動作が行われることにより、DATA・OFFSET=KDO に相当するレベルだけオフセットされ、かつ同期信号が付加されたアナログ映像信号DATA5 が得られる。このように、シンクレベル拡大モードにおいて、映像信号ゲイン調節回路11で映像信号を圧縮し、しかる後オフセット信号を加算することで、映像信号オフセット付加回路12での映像信号のオーバーフローを防止できる。

【0044】上述したように、デジタル映像信号データに同期信号を付加するとともに、アナログ化する際に、映像信号の同期信号期間にオフセット信号を付加し、しかる後当該映像信号に対して同期信号を付加することで、映像信号に対する同期信号のレベルを小さく設定できるとともに、映像信号にオフセット信号を付加し、しかる後当該映像信号に対して同期信号を付加することで、映像信号に対する同期信号のレベルを大きく設定できる。

【0045】これにより、同期信号レベルが固定である同期信号付加機能付D/Aコンバータを利用した映像信号処理回路においても、オフセット信号のレベルを適宜設定することにより、映像信号と同期信号のレベル比を任意に設定することが可能となるため、映像信号の標準レベルを任意に設定できる。すなわち、ダイナミックレンジに対して標準レベルを任意に設定可能となる。

【0046】また、シンクレベル拡大モードでは、入力映像信号を予め圧縮して当該映像信号のダイナミックレンジを小さくした後、その映像信号にオフセット信号を加算するようにしているため、映像信号の最大値付近が映像信号オフセット付加回路12のオーバーフローリミットによりD/Aコンバータ14の入力ダイナミックレンジに合わせて制限されるのを回避できる。したがって、映像信号の最大値付近を映像情報として出力する必要がある場合にも問題なく対処できる。

【0047】次に、D/Aコンバータ14の具体的な回路構成およびその回路動作について説明する。図6は、例えば8ビットのD/Aコンバータ14の一例を示すブ

ロック図である。本例に係るD/Aコンバータ14は、第1の電流源31、第2の電流源32および第3の電流源33の3つの電流源からなる電流源回路34と、その周辺の2入力AND回路36および抵抗RLによって構成されている。

【0048】第1の電流源31は、端子T1を介して入力される8ビットの映像信号データD7～D0のデジタル値に対応した電流I1を出力する電流源である。この第1の電流源31としては、例えば、8個の異なる重み付けがなされた電流源を映像信号データD7～D0によって切り換えながら電流を加算する公知の電流切り換え形や、R-2R方式の電流加算型の回路構成のものが用いられる。そして、例えば映像信号データD7～D0のデジタル値が最大値「255」となったときに電流I_{max}を出力する。

【0049】第2の電流源32は、端子T2を介して入力される同期信号SYNCによってオン/オフ制御される電流源であり、同期信号SYNCのパルス期間を除く期間において所定の電流I2を出力する。第3の電流源33は、端子T3を介して入力されるAND回路35の出力信号によってオン/オフ制御される電流源であり、後述するがAND回路35の一方の入力となっているモード信号MODEによってPAL方式に対応したアナログ映像信号を出力させる場合は、同期信号SYNCのパルス期間を除く期間において所定の電流I3を出力する。

【0050】つまり、電流源回路33において、第1の電流源31からは、入力される映像信号データD7～D0に応じてアナログ信号に変換された電流I1が出力され、第2の電流源32からは、同期信号SYNCのパルス期間を除いて所定の電流I2が出力され、第3の電流源33からは、PAL方式に対応したアナログ映像信号を出力させる場合に、同期信号SYNCのパルス期間を除いて所定の電流I3が出力されることになる。

【0051】ここで、上記構成の8ビットD/Aコンバータ14において、NTSC方式に対応したアナログ映像信号を出力する場合の回路動作について説明する。なお、NTSC方式に対応したアナログ映像信号を出力する場合は、AND回路35の一方の入力となっているモード信号MODEを例えば“L”レベル（低レベル）に設定して、AND回路35から第3の電流源33に供給される出力信号のレベルを“L”レベルとなるようにする。

【0052】第1の電流源31に端子T1を介して8ビットの映像信号データD7～D0が入力されることで、第1の電流源31からは、この映像信号データD7～D0のデータ値に応じた電流I1が出力される。例えば、入力される8ビットの映像信号データD7～D0が「0～255」の階調信号を示しているときに、入力されている映像信号データの階調がnとなるときは、第1の電流源31から出力される電流I1は、

$$I1 = I_{\max} \times n / 255 \quad \cdots (1)$$

と示すことができる。

【0053】第2の電流源32には端子T2を介して同期信号SYNCが入力されており、第2の電流源32からは、この同期信号SYNCのパルス期間を除いて電流I2が出力される。つまり、同期信号SYNCにおけるパルス期間では、この第2の電流源32はオフ状態となる。また、第3の電流源33には、端子T3を介してAND回路35から常に“L”レベルの出力信号が入力されている。したがって、第3の電流源33はオフ状態にある。

【0054】すなわち、8ビットD/Aコンバータ14からNTSC方式に対応したアナログ映像信号を出力する場合、電流源回路34の端子T4から出力される電流I4は、同期信号SYNCのパルスが入力されていない期間では、第1の電流源31から出力される映像信号データD7～D0のデータ値に応じた電流I1と、第2の電流源32から出力される同期信号SYNCに対応した電流I2とが加算されたものとなる。そして、この加算された電流I4は、端子T4とグランドの間に接続された抵抗RLによって電圧に変換される。

【0055】そして、同期信号SYNCのパルスが入力されている期間では、入力される映像信号データD7～D0の値が0であることから第1の電流源31から出力される電流I1は0となり、また同期信号SYNCにおけるパルス期間では第2の電流源32がオフ状態となることから、第2の電流源32から出力される電流I2も0となる。したがって、同期信号SYNCにおけるパルス期間にNTSC方式に対応した同期信号が付加されたアナログ映像信号が出力されることになる。

【0056】ところで、端子T4から出力される電流が抵抗RLで電圧に変換され、NTSC方式に準拠したアナログ映像信号となるためには、図3(b)に示すように、同期信号のレベルVsと映像信号のレベルVdのレベル比を例えば1:3に設定するとともに、同期信号のレベルVsが40IREになるように設定する必要がある。

【0057】そこで、本例に係る8ビットD/Aコンバータ14においては、第1の電流源31から出力される最大電流I_{max}、即ち映像信号のピーク電流に対して、第2の電流源32から出力される電流I2の電流比が3:1となるようにする。このように第1、第2の電流源31、32の電流比を3:1に設定すると、第1の電流源31から最大電流I_{max}が出力されたときの映像信号のレベルVdは、抵抗RLの抵抗値をRとすると、 $Vd = R \times 3 \times I2 \quad \cdots (2)$

と示すことができる。

【0058】また、第2の電流源32から電流I2が出力されたときの同期信号のレベルVsは、 $Vs = R \times I2 \quad \cdots (3)$

となるため、8ビットD/Aコンバータ14から出力されるアナログ映像信号の同期信号のレベルVsと映像信

号のレベル V_d のレベル比を1:3にすることができ
る。なお、アナログ映像信号に付加されている同期信号
のレベル V_s を40IREとするには、第2の電流源3
2から出力される電流 I_2 を第1の電流源31から出力
される最大電流 I_{max} に対応して設定すれば良い。

【0059】このように、本例に係る8ビットD/Aコ
ンバータ14においては、デジタル映像信号データD7
~D0に対応した電流を出力する第1の電流源31と、
同期信号SYNCのパルスが入力されていない期間において
のみ電流を出力する第2の電流源32とを設けた構成と
したことで、8ビットD/Aコンバータ14のダイナミ
ックレンジ(0~255)に対応した映像信号データD
7~D0を入力することができるため、同期信号が付加
されたアナログ映像信号の階調表現を向上させることが
できる。

【0060】次に、PAL方式に対応したアナログ映像
信号を出力する場合の動作について説明する。PAL方
式に対応したアナログ映像信号を出力する場合には、ア
ナログ映像信号に付加される同期信号のレベル V_s を4
3IREに設定する必要がある。つまり、NTSC方式
の同期信号のレベル V_s と比較して3IRE分だけ高い
レベルにする必要がある。

【0061】そこで、この場合は、モード信号MODEを
“H”レベル(高レベル)にして、同期信号SYNCのパル
ス期間を除いてAND回路35から第3の電流源33に
“H”レベルの出力信号を供給するようしている。すな
わち、第3の電流源33からは、アナログ映像信号の同
期信号のレベル V_s をPAL方式に対応させるための電
流 I_3 を出力するようになされており、NTSC方式の
同期信号のレベルよりもPAL方式の同期信号のレベル
の方が3IRE分だけ大きいので、この3IREに相当
する電流 I_3 を出力するようにしている。

【0062】したがって、同期信号のレベルが40IRE
となるように第2の電流源32の電流 I_2 が設定され
ている場合は、電流 I_2 と電流 I_3 の電流比を、1:
0.075に設定することで、アナログ映像信号に付加
される同期信号のレベル V_s を43IREにすることが
できる。

【0063】このように、テレビジョン方式がNTSC
方式であるかPAL方式であるかによって、“L”レ
ベル又は“H”レベルのモード信号MODEをAND回路35
に入力し、このAND回路35の出力信号によって第3
の電流源33の動作を制御することにより、NTSC方
式又はPAL方式に対応したアナログ映像信号を出力す
ることができるようになる。同様に、SECAM方
式の映像信号に対応させることも容易にできる。

【0064】図7は、本実施形態に係る映像信号処理回
路を信号処理系に用いた本発明に係るカメラのシステム
全体の基本構成図である。図7において、固体撮像素
子、例えばCCD撮像素子41の撮像面上には、被写体

からの像光がレンズ42を介して入射される。CCD撮
像素子41は、タイミングジェネレータ(TG)43か
ら発生される各種のタイミング信号によって露光時間
(シャッタースピード)、信号電荷の読み出し、垂直転
送、水平転送などの制御が行われることにより、入射光
を画素単位で電気信号に変換して撮像信号として出力す
る。

【0065】このCCD撮像素子41から出力される映
像信号は、プリアンプ44に供給されて信号成分がサン
プルホールドされるとともに、適正なレベルに合わせる
ためにゲインコントロール(AGC)処理が行われる。
プリアンプ44を経た映像信号は、A/Dコンバータ4
5でアナログ信号からデジタル信号に変換されてDSP
(Digital Signal Processor; デジタル信号処理)回路4
6に供給され、このDSP回路46で様々な処理がデジ
タル的になされた後、D/Aコンバータ47で再度アナ
ログ化されてアナログ映像信号として出力される。

【0066】上記構成のカメラシステムにおいて、D/
Aコンバータ47が図1のD/Aコンバータ14に相当
し、デジタル映像信号に同期信号を付加するとともに、
これをアナログ化する処理を行う。また、図1の映像信
号ゲイン調節回路11、映像信号オフセット付加回路1
2、ブランキング/シンクオフセットすげ替え回路13
および定数設定回路15は、DSP回路46の後段部分
として構成され、D/Aコンバータ47に入力されるデ
ジタル映像信号に対してオフセット信号を付加する処理
などを行う。

【0067】このように、CCD撮像素子41などを撮
像デバイスとして用いたカメラシステムにおいて、図1
の映像信号ゲイン調節回路11、映像信号オフセット付
加回路12、ブランキング/シンクオフセットすげ替え
回路13、D/Aコンバータ14および定数設定回路1
5からなる映像信号処理回路を信号処理系に用いたこ
とにより、アナログ映像信号の映像信号レベルと同期
信号レベルのレベル比をシステムの仕様に応じて適宜設
定できるため、汎用性のあるカメラシステムを実現でき
ることになる。

【0068】

【発明の効果】以上説明したように、本発明による映像
信号処理回路においては、入力デジタル映像信号に対し
てオフセットを付加し、当該映像信号のペDESTALレ
ベルを持ち上げるとともに、このペDESTALレベルが持ち
上げられたデジタル映像信号の同期信号期間のレベルを
所定の基準レベルにすげ替え、しかる後同期信号期間に
同期信号を付加し、アナログ化するようにしたことによ
り、同期信号レベルがペDESTALレベルが持ち上げられ
た分だけ大きくなるため、同期信号レベルが固定である
同期信号付加機能付D/Aコンバータを用いた場合であ
っても、映像信号と同期信号のレベル比を拡大する方向
に任意に設定できることになる。

【0069】また、本発明による他の映像信号処理回路においては、入力デジタル映像信号に対して選択的にオフセットを付加するようにし、第1の動作モードではオフセットが付加されていないデジタル映像信号をそのまま出力し、第2の動作モードではオフセットが付加されていないデジタル映像信号の同期信号期間のレベルを所定のオフセットレベルにすげ替え、第3の動作モードではオフセットが付加されているデジタル映像信号の同期信号期間のレベルを所定の基準レベルにすげ替え、しかる後同期信号期間に同期信号を付加し、アナログ化するようにしたことにより、同期信号レベルが固定である同期信号付加機能付D/Aコンバータを用いた場合であっても、第2又は第3の動作モードの設定によって映像信号と同期信号のレベル比を縮小又は拡大する方向に任意に設定できることになる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すブロック図である。

【図2】ブランキング/シンクオフセットすげ替え回路の構成の一例を示すブロック図である。

【図3】D/Aコンバータの入出力波形図である。

【図4】本実施形態に係るモード別の動作説明図であり、(a)はノーマルモードの場合、(b)はシンクレベル減小モードの場合、(c)はシンクレベル拡大モードの場合をそれぞれ示す。

【図5】ゲイン調節に係る動作説明図であり、(a)はゲイン未調節時、(b)はゲイン調節時をそれぞれ示している。

【図6】8ビットD/Aコンバータの回路構成の一例を示すブロック図である。

【図7】本発明に係るカメラのシステム全体の基本構成図である。

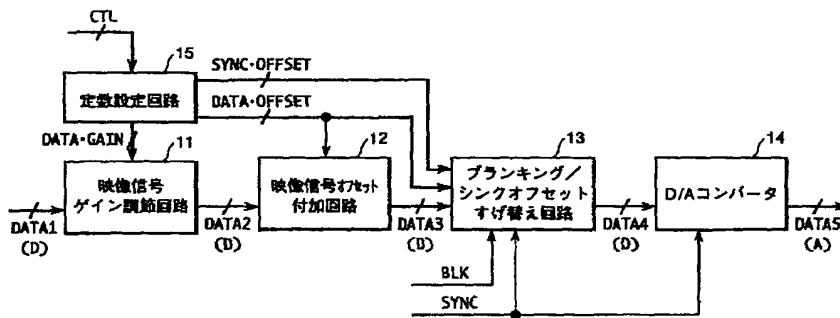
【図8】従来例を示すブロック図である。

【図9】従来例の動作説明のための波形図である。

【符号の説明】

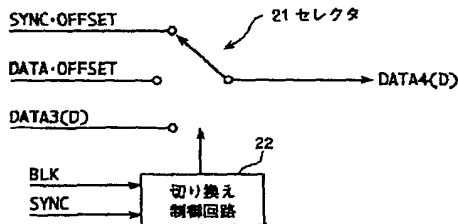
- | | |
|--------------------------|------------------|
| 11 映像信号ゲイン調節回路 | 12 映像信号オフセット付加回路 |
| 13 ブランキング/シンクオフセットすげ替え回路 | 14 8ビットD/Aコンバータ |
| 15 定数設定回路 | |

【図1】



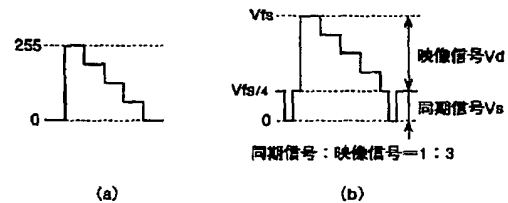
本発明の一実施形態を示すブロック図

【図2】



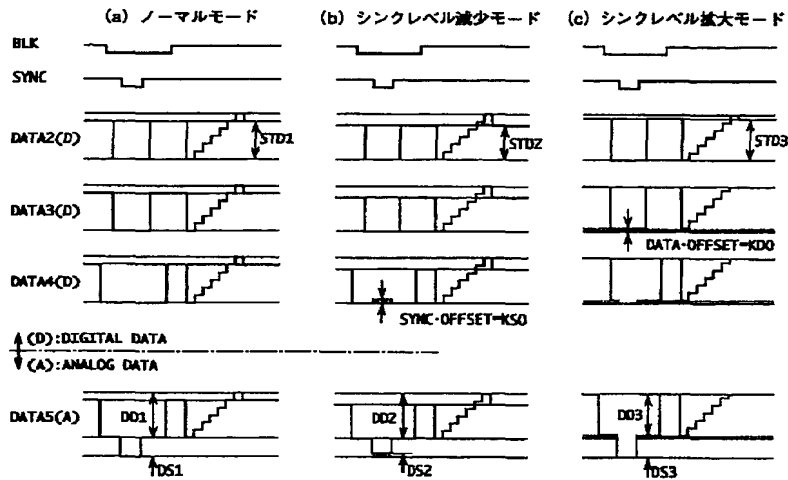
ブランキング/シンクオフセットすげ替え回路の一例のブロック図

【図3】



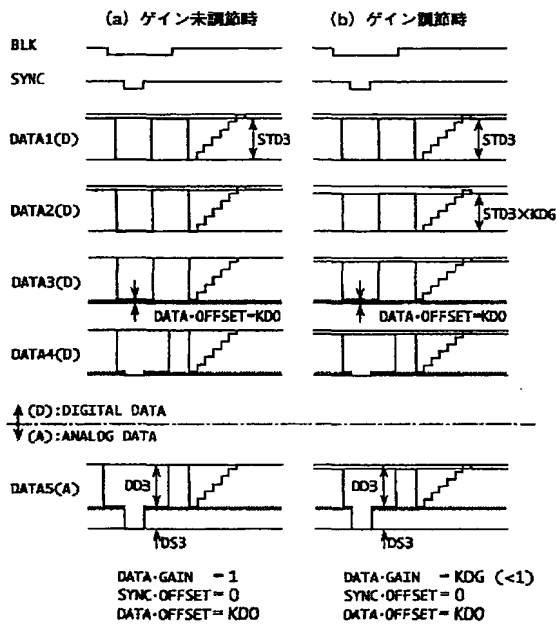
D/Aコンバータの入出力波形図

【図4】



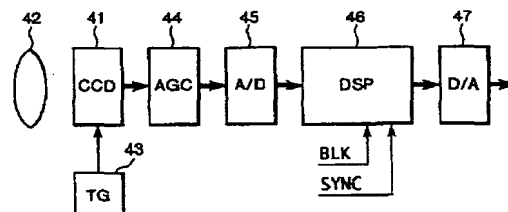
本実施形態に係るモード別の動作説明図

【図5】



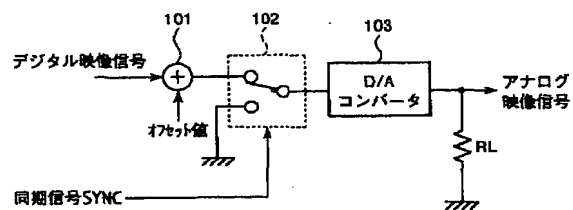
ゲイン調節に係る動作説明図

【図7】



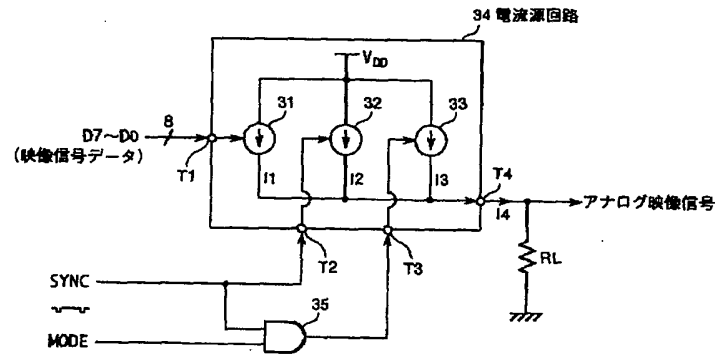
本発明に係るカメラの基本構成図

【図8】



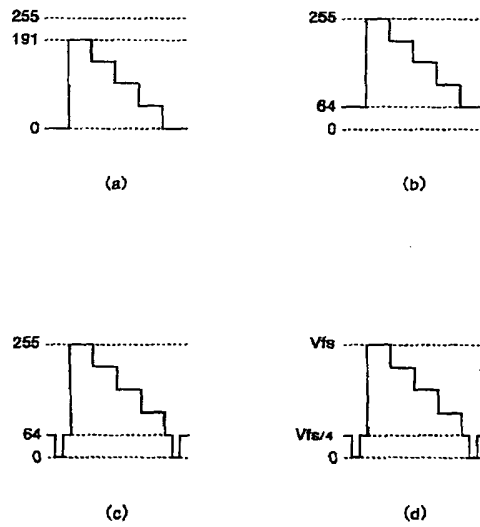
従来例を示すブロック図

【図6】



8ビットD/Aコンバータの一例を示すブロック図

【図9】



従来例の動作説明のための波形図

